

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-259289

(43)Date of publication of application : 08.10.1993

(51)Int.Cl. H01L 21/82
G11C 11/407
G11C 11/401
H01L 27/04
H01L 27/108
H02M 3/07

(21)Application number : 04-054970

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.03.1992

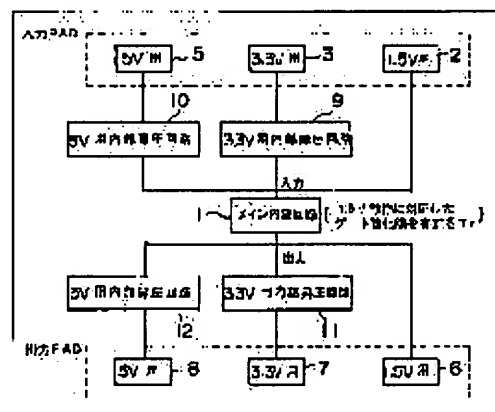
(72)Inventor : KANAZAWA KENICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To alleviate workings in the design and process steps in accordance with a change of power supply voltage in a semiconductor device comprising MOS transistors.

CONSTITUTION: A semiconductor device comprises a structure where a plurality wiring bonding pads 2, 3, 5, 6, 7, 8 allowing impression of different voltages are connected in parallel to an input terminal or output terminal, step-down circuits 9, 10 having different step-down capability are formed between at least a part of the wire bonding pads 2, 3, 5 in the input terminal side and an internal circuit 1, and voltage boosting circuits 11, 12 having different voltage boosting capability are provided between at least a part of the wire bonding pads 6, 7, 8 in the output terminal side and the internal circuit 1.



LEGAL STATUS

[Date of request for examination]

12.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2966183

[Date of registration] 13.08.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-259289

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
G 1 1 C 11/407				
11/401				
	9169-4M	H 0 1 L 21/ 82	P	
	6628-5L	G 1 1 C 11/ 34	3 5 4 F	
		審査請求 未請求 請求項の数2(全 10 頁) 最終頁に続く		

(21)出願番号 特願平4-54970

(22)出願日 平成4年(1992)3月13日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 金沢 賢一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 岡本 啓三

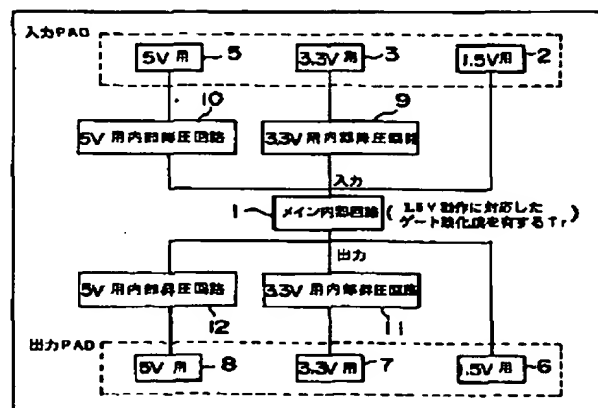
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】本発明は、MOSトランジスタを有する半導体装置に関し、電源電圧の変化にも対応でき、設計・プロセスの作業を軽減することを目的とする。

【構成】入力端子又は出力端子に、印加電圧が異なるワイヤボンディングパッド2,3,5,6,7,8が複数並列に接続され、前記入力端子側の前記ワイヤボンディングパッド2,3,5の各々の少なくとも一部と内部回路1との間には降圧能力の異なる降圧回路9,10が形成されるとともに、前記出力端子側の前記ワイヤボンディングパッド6,7,8の各々の少なくとも一部と内部回路1との間には昇圧能力の異なる昇圧回路11,12が設けられていることを含み構成する。

本発明の一実施例を示す回路構成図



1

【特許請求の範囲】

【請求項1】入力端子又は出力端子に、印加電圧が異なるワイヤボンディングパッド(2,3,5,6,7,8)が複数並列に接続され、

前記入力端子側の前記ワイヤボンディングパッド(2,3,5)の各々の少なくとも一部と内部回路(1)との間には降圧能力の異なる降圧回路(9,10)が形成されるとともに、

前記出力端子側の前記ワイヤボンディングパッド(6,7,8)の各々の少なくとも一部と内部回路(1)との間には昇圧能力の異なる昇圧回路(11,12)が設けられていることを特徴とする半導体装置。

【請求項2】前記降圧回路(9,10)又は前記昇圧回路(11,12)がMOSトランジスタにより形成されるとともに、該MOSトランジスタのゲート絶縁膜は、前記内部回路(1)におけるMOSトランジスタのゲート絶縁膜よりも厚く形成されていることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に関し、より詳しくは、MOSトランジスタを有する半導体装置に関する。

【0002】

【従来の技術】半導体装置は、市場からの大容量・高速化・低消費電力等が要求されている。テクノロジードライバとなっているDRAMを例にとると、16Mbitから64Mbitという大容量へ開発が進行中である。この64Mbitにおける技術動向は、電源電圧が3.3Vになるという見方が一般的であり、この電源電圧3.3Vは5Vと比較して高速化・低消費電力化等に有利である。

【0003】ところが、電源電圧の切換えの時期は明確でないのが現状で、開発側としてはその流れに注意を払わなければならない。これは5Vから3.3Vへの変化というだけではなく、今後もその大きさを変えることは起こりうることである。

【0004】例えばDRAMにおいては転送トランジスタに電源電圧が印加されるために、その電圧に耐えられるゲート絶縁膜の厚が必要となる。つまり、電源電圧が大きくなるほどゲート絶縁膜を厚くしなければならない。

【0005】また、トランジスタにかかる電圧が違ってくると、それに合わせてトランジスタのデイメンジョンについては設計ルールを決定する必要があり、これは当然チップサイズにも影響がでてくる。

【0006】

【発明が解決しようとする課題】しかし、開発時に5Vと3.3Vの両電源に対応させるためには、例えば図6(a)(b)に示すような2通りのデバイスD1、D2の開発

2

を並行に進めなければならない、といった膨大に手間のかかる設計作業・プロセス作業を強いられるといった問題が生じる。

【0007】本発明はこのような問題に鑑みてなされたものであって、電源電圧の変化にも対応でき、しかも、設計・プロセスの作業を軽減できる半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記した課題は、図1に例示するように、入力端子又は出力端子に、印加電圧が異なるワイヤボンディングパッド2,3,5,6,7,8が複数並列に接続され、前記入力端子側の前記ワイヤボンディングパッド2,3,5の各々の少なくとも一部と内部回路1との間には降圧能力の異なる降圧回路9,10が形成されるとともに、前記出力端子側の前記ワイヤボンディングパッド6,7,8の各々の少なくとも一部と内部回路1との間には昇圧能力の異なる昇圧回路11,12が設けられていることを特徴とする半導体装置によって達成する。

【0009】または、図4、5に例示するように、前記降圧回路9,10又は前記昇圧回路11,12がMOSトランジスタにより形成されるとともに、該MOSトランジスタのゲート絶縁膜は、前記内部回路1におけるMOSトランジスタのゲート絶縁膜よりも厚く形成されていることを特徴とする半導体装置により達成する。

【0010】

【作 用】本発明によれば、印加電圧の異なる入力パッド2,3,5と出力パッド6,7,8を複数並列に形成するとともに、少なくとも一部の入力パッド3,5と内部回路1の間に降圧回路9,10を設け、少なくとも一部の出力パッド3,5と内部回路6,7,8の間に昇圧回路11,12を形成するようにしている。

【0011】このため、外部の電源電圧に応じた入力パッド2,3,5、出力パッド6,7,8を選択してワイヤボンディングを行えば、電源電圧の変化にも対応でき、しかも、設計・プロセスの作業も軽減される。

【0012】例えば、図1に示すように、仮に、内部回路1のトランジスタが1.5Vで動作し、しかも使用電源電圧のバリエーションが5V、3.3V、1.5Vとなっている場合、5V入出力電源電圧用パッド5,8には1.5Vまで降圧及び昇圧できる回路10,12を形成し、3V入出力電源電圧用パッド3,7にも1.5Vまで降圧及び昇圧できる回路11,12が設けられている。

【0013】なお、1.5V入出力電源電圧用パッド2,6には、降圧及び昇圧回路は設けられていない。内部トランジスタが1.5Vで動作するからである。この構成によれば、5Vと3V電源で用いる降圧、昇圧回路9~12において、各々の電源電圧がかかるMOSトランジスタのゲート絶縁膜の膜厚は5Vの電源電圧に耐え得るような膜厚に設定する。

【0014】このように、半導体装置を作成しておけ

3

ば、ボンディングオプションにて3種の電源電圧のどれにでも対応が可能になる。しかも、使用する電源電圧の選択肢が2種以上存在する場合、プロセス設計と回路設計は一番低い電源電圧の使用のみを考えて設計すればよく、開発のスループットが向上する。

【0015】

【実施例】そこで、以下に本発明の実施例を図面に基づいて説明する。図1～5は、本発明の一実施例を示す回路構成図である。

【0016】図1において符号1は、例えばDRAMを構成するメイン内部回路で、このメイン内部回路1は、電圧1.5Vに対応させた構造の素子を有し、例えばDRAMセルの転送トランジスタのゲート絶縁膜が閾値電圧1.5Vで動作するような膜厚となっている。そして、メイン内部回路1の入力側にある電源配線端や各信号配線端には、それぞれ1.5V用パッド2と、3.3V用パッド3と、5V用パッド5が分岐して接続され、これらのパッド2, 3, 5を介して外部から電源、信号を入力するように構成されている。

【0017】一方、メイン内部回路1の出力側の各信号配線端には、それぞれ1.5V用パッド6と、3.3V用パッド7と、5V用パッド8が分岐して接続され、これらのパッド6～8を介して信号を外部に出力するように構成されている。

【0018】なお、図においては、1組のパッド2, 3, 5を代表して描いているのであって、各配線端にも同様なパッドが形成される。また、上記した入力側の3.3V用パッド3とメイン内部回路1の間には3.3V用内部降圧回路9が形成され、また、5V用パッド5とメイン内部回路1の間には5V用内部降圧回路10が設けられている。一方、出力側の3.3V用パッド7とメイン内部回路1との間には3.3V用内部昇圧回路11が形成され、また、5V用パッド8とメイン内部回路1の間には5V用内部昇圧回路12が設けられている。

【0019】次に、上記した降圧回路の一例を図2に基づいて説明する。図2(a)において、3.3V用内部降圧回路9は、例えば閾値電圧1.8VのNMOSトランジスタのドレインとゲートを短絡した素子9aからなり、この素子9aにより電圧を1.8V低下させて、1.5Vの電源或いは信号をメイン内部回路1に入力させるものである。

【0020】また、5V用内部降圧回路10は、例えば閾値電圧1.75VのNMOSトランジスタのドレインとゲートを短絡した素子10a, 10bを2個直列に接続し、各素子10a, 10bにより電圧を1.75Vずつ低下させ、これらにより1.5Vの電源或いは信号をメイン内部回路1に入力するものである。

【0021】ところで、降圧回路9, 10をシリコン基板上に形成した場合の平面は例えば図2(b)に示すようになり、シリコン基板20では表面が絶縁膜21に囲まれ

4

た複数の活性領域 X_1, X_2, X_3 にはゲート電極 g_1, g_2, g_3 が形成され、それらの両側にはソース層 s_1, s_2, s_3 、ドレイン層 d_1, d_2, d_3 が形成され、これらによりMOSトランジスタ T_1, T_2, T_3 が構成される。

【0022】そして、ゲート電極 g_1, g_2, g_3 とこれに隣接する各ソース層 s_1, s_2, s_3 は、MOSトランジスタを覆う層間絶縁膜（不図示）に形成されたコンタクトホール $CH_1 \sim CH_9$ を通して配線 L_{11}, L_{12}, L_{21} により短絡され、これにより素子9a, 10a, 10bが構成される。

【0023】また、5V用内部降圧回路10では、配線 L_{12} を介して2個の素子10a, 10bが接続され、しかも、配線 L_{10}, L_{11} を介してメイン内部回路1と5V用パッド5に接続されている。さらに、3.3V用内部降圧回路9を構成する素子9aは、配線 L_{20}, L_{21} により3.3V用パッド3とメイン内部回路1に接続されている。

【0024】なお、1.5V用パッド2とメイン内部回路1の間には降圧回路は存在せず、1.5V用パッド2とメイン内部回路1は配線 L_0 により直に接続されている。次に、降圧回路11, 12の一例を図3に基づいて説明する。

【0025】昇圧回路は、図3(a)に例示するように、デプレッション型の負荷NMOSトランジスタ $t_{11}, t_{12}(t_{13}, t_{14})$ のゲートとソースとを短絡し、そのソースにエンハンスメント型の駆動NMOSトランジスタ $t_{21}, t_{22}(t_{23}, t_{24})$ のドレインを接続してなるバッファ31a, 31b(32a, 32b)を2段接続して構成されている。この場合、駆動NMOSトランジスタ $t_{21}, t_{22}(t_{23}, t_{24})$ のゲートを入力端、そのドレインを出力端とする。

【0026】そして、負荷NMOSトランジスタ $t_{11}, t_{12}(t_{13}, t_{14})$ のソースには入力側に接続される電源電圧（3.3V或いは5V）が印加され、また、駆動NMOSトランジスタ $t_{21}, t_{22}(t_{23}, t_{24})$ のソースにはそれよりも低い接地電圧が印加される。

【0027】上記した3.3V用内部昇圧回路11においては、前段のバッファ31aの駆動NMOSトランジスタ t_{21} の閾値電圧が1.5Vであって、その入力端がメイン内部回路1に接続され、また、後段バッファ31bの駆動NMOSトランジスタ t_{22} の閾値電圧が3Vであって、その出力端は3.3V用パッド7に接続される。

【0028】これによれば、前段のバッファ31aに電圧1.5Vが入力すると、後段のバッファ31bのNMOSトランジスタ t_{22} がOFFしてその出力の高レベル電圧は3.3Vとなり、3.3V用出力パッド7に出力されることになる。

【0029】他方、5V用内部昇圧回路12は、3.3V用内部昇圧回路11と同様にバッファ32a, 32bを2段接続して構成されるもので、各バッファ32a, 32bの負荷NMOSトランジスタ t_{13}, t_{14} のドレインに5Vの電圧を印加して、後段バッファ32bの出力の高レベル電圧が

5

5 Vとなるように構成されている。

【0030】次に、上記した実施例の作用について説明する。上記した実施例において、メイン内部回路1の入出力端には、印加電圧の異なる複数のパッド2~8を並列に接続しているが、アセンブリ工程におけるワイヤボンディングの際には、入力電圧、出力電圧に対応したパッド2~8にボンディングを行えばよい。

【0031】この場合、1. 5 V以外の入出力側のパッド3, 5, 7, 8とメイン内部回路1の間には降圧回路9, 10、昇圧回路11, 12を介在させているので、電源電圧が変更される毎にメイン内部回路1を変える必要はなくなり、設計変更が不要となる。

【0032】ところで、降圧回路9, 10、昇圧回路11, 12の中のMOSトランジスタの閾値は、メイン内部回路内のMOSトランジスタの閾値と相違するものが多く、ゲート絶縁膜を厚くしたり薄くしたりする必要が生じる。例えば、5 V用内部降圧回路10や5 V用内部昇圧回路12では、5 V動作に対応したゲート絶縁膜の膜厚とする。

【0033】そこで次に、ゲート絶縁膜の膜厚が異なる複数のMOSトランジスタの形成工程を説明する。まず、図4(a)に示すように、p型シリコン基板20の表面を選択酸化法により酸化してSiO₂よりなる絶縁膜21を約5000 Åの厚さに形成し、これにより複数の活性領域X₁、X_nを囲む。ここで、第1の活性領域X₁には上記した5 V用内部昇圧回路10のNMOSトランジスタT₁を形成し、その閾値を1.75 Vとする一方、メイン内部回路1のNMOSトランジスタ(不図示)の閾値を1.5 Vとしてこれを第2の活性領域X_nに形成する。

【0034】次に、図4(b)に示すように、シリコン基板20の活性領域X₁、X_nを熱酸化してその表面に膜厚50 Å程度のSiO₂膜22を形成した後に、硼素をイオン注入し、閾値電圧調整を行う。

【0035】この後に、図4(c)に示すように、少なくとも第1の活性領域X₁をレジストマスク23によって覆い、第2の活性領域X_nの表面のSiO₂膜22を弗酸により除去する。

【0036】ついで、レジストマスク23を除去した後に、再び活性領域X₁、X_nを熱酸化することにより、図4(d)に示すように、レジストマスク23により覆われていた第1の活性領域X₁の表面のSiO₂膜22を150 Åの厚さに増加するとともに、第2の活性領域X_nの表面に膜厚100 ÅのSiO₂膜24を形成する。

【0037】次に、全体に膜厚1000 Å程度の多結晶シリコン膜を形成し、これをフォトリソグラフィ法によりパターンニングし、活性領域X₁、X_nの中央を通るゲート電極g₁、g_nを形成した後に、ゲート電極g₁、g_nをマスクにしてシリコン基板20にドーズ量 1×10^{15} atom/cm²の条件で砒素をイオン注入してその両側にn型のソース層s₁、s_nとドレイン層d₁、d_nを形成する(図4

6

(e))。

【0038】つづいて、全体にPSG、SiO₂等の層間絶縁膜25をCVD法により形成した後に(図5(f))、第1の活性領域X₁のゲート電極g₁、ソース層s₁、ドレイン層d₁の上にコンタクトホールCH₁~CH₃を形成するとともに、第2の活性領域X_nのドレイン層d_nの上にコンタクトホールCH_nを形成する。

【0039】次に、アルミニウム膜を形成し、これをフォトリソグラフィ法によりパターンニングして配線を形成し、図2(b)に示すような配線L₁₁、L₁₂を形成し、これにより降圧回路10を形成するとともに、メイン内部回路1内の配線を行い(図5(g))、その上をPSG/SiNよりなるカバー膜26で覆う(図5(h))。

【0040】この後に、アセンブリ工程に進むが、この工程では、電源電圧に対応したパッド2~8にワイヤをボンディングすればよい。なお、上記した実施例では、メイン内部回路1内のMOSトランジスタの閾値電圧を1.5 Vとして説明したが、それ以下であってもよく、少なくとも使用電源電圧の種類の中で最も低い電圧にしてもゲート絶縁膜の耐圧が保証される以上の膜厚としてもよい。

【0041】この場合には、降圧後の電圧をその最も低い電圧となり、また、昇圧回路の降圧前の電圧をその電圧とすることになる。

【0042】

【発明の効果】以上述べたように本発明によれば、印加電圧の異なる入力パッドと出力パッドを複数並列に形成するとともに、少なくとも一部の入力パッドと内部回路の間に降圧回路を設けまた、少なくとも一部の出力パッドと内部回路の間に昇圧回路を形成するようにしたので、外部の電源電圧に応じた入力パッド、出力パッドを選択してワイヤボンディングを行えば、電源電圧の変化にも対応でき、しかも、設計・プロセスの作業を軽減することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路構成図である。

【図2】本発明の一実施例装置における昇圧回路の一例を示す回路図、平面図である。

【図3】本発明の一実施例装置における降圧回路の一例を示す回路図である。

【図4】本発明の一実施例装置におけるMOSFETの形成工程を示す断面図(その1)である。

【図5】本発明の一実施例装置におけるMOSFETの形成工程を示す断面図(その2)である。

【図6】従来装置の一例を示す構成図である。

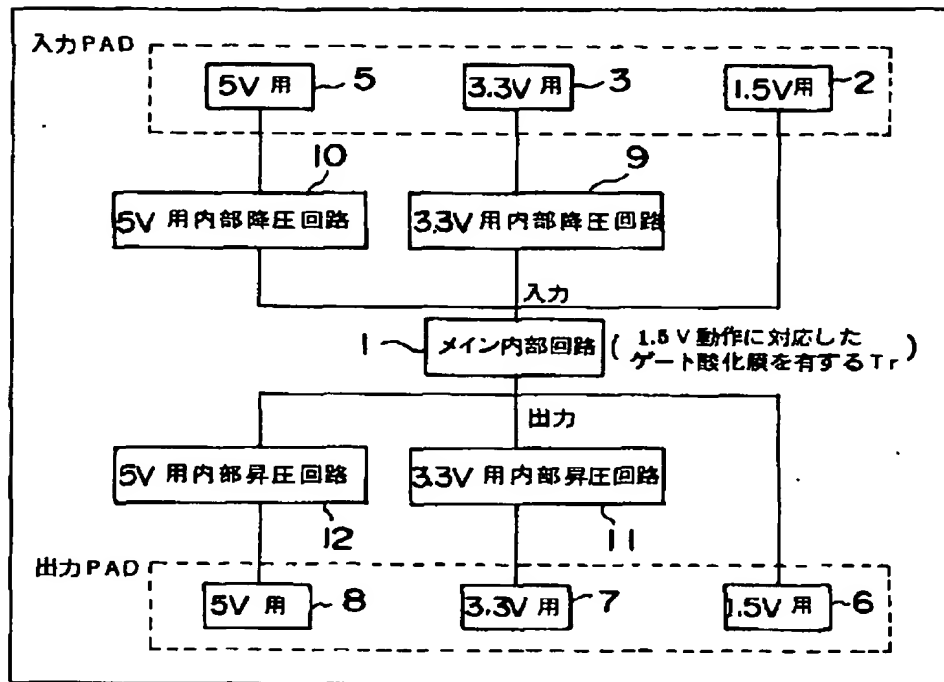
【符号の説明】

- | | |
|---|------------|
| 1 | メイン内部回路 |
| 2 | 1. 5 V用パッド |
| 3 | 3 V用パッド |
| 5 | 5 V用パッド |

- | | | | |
|---|-------------|------|-------------|
| 6 | 1. 5V用パッド | * 10 | 5V用内部降圧回路 |
| 7 | 3V用パッド | 11 | 3.3V用内部昇圧回路 |
| 8 | 5V用パッド | 12 | 5V用内部昇圧回路 |
| 9 | 3.3V用内部降圧回路 | * | |

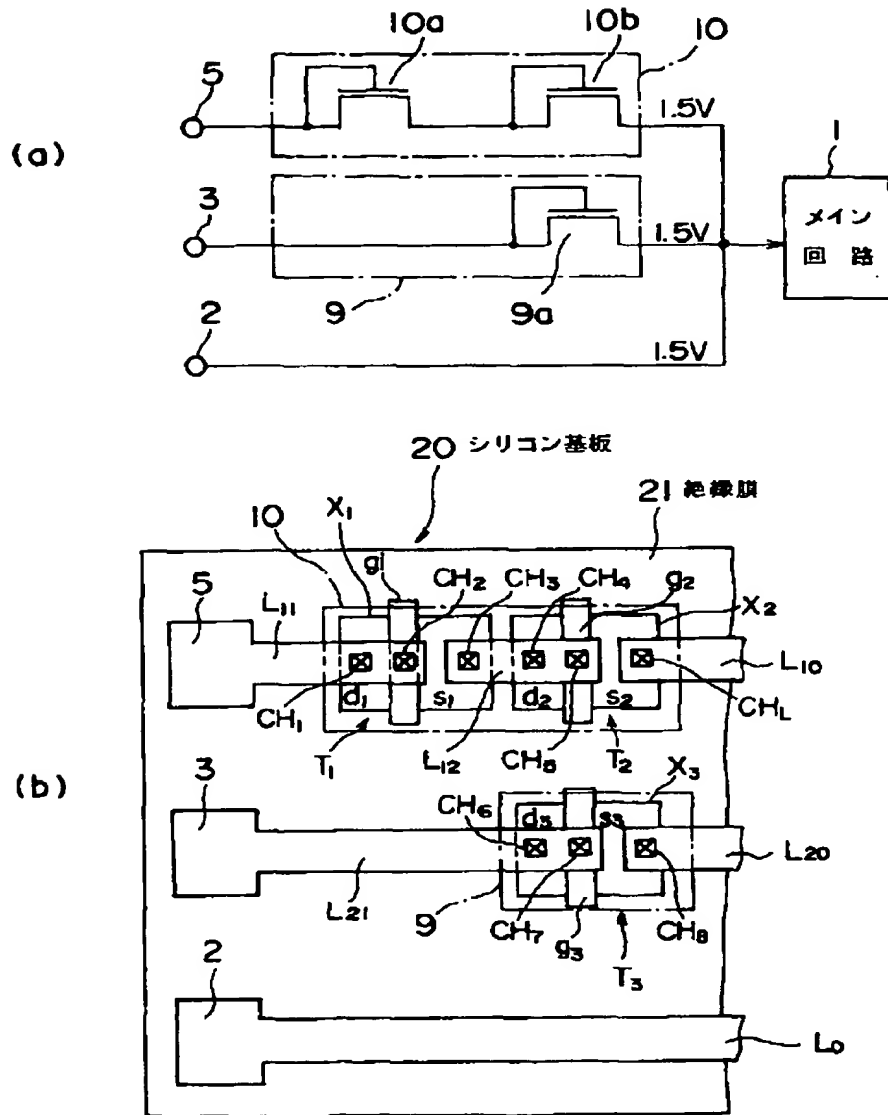
【図1】

本発明の一実施例を示す回路構成図



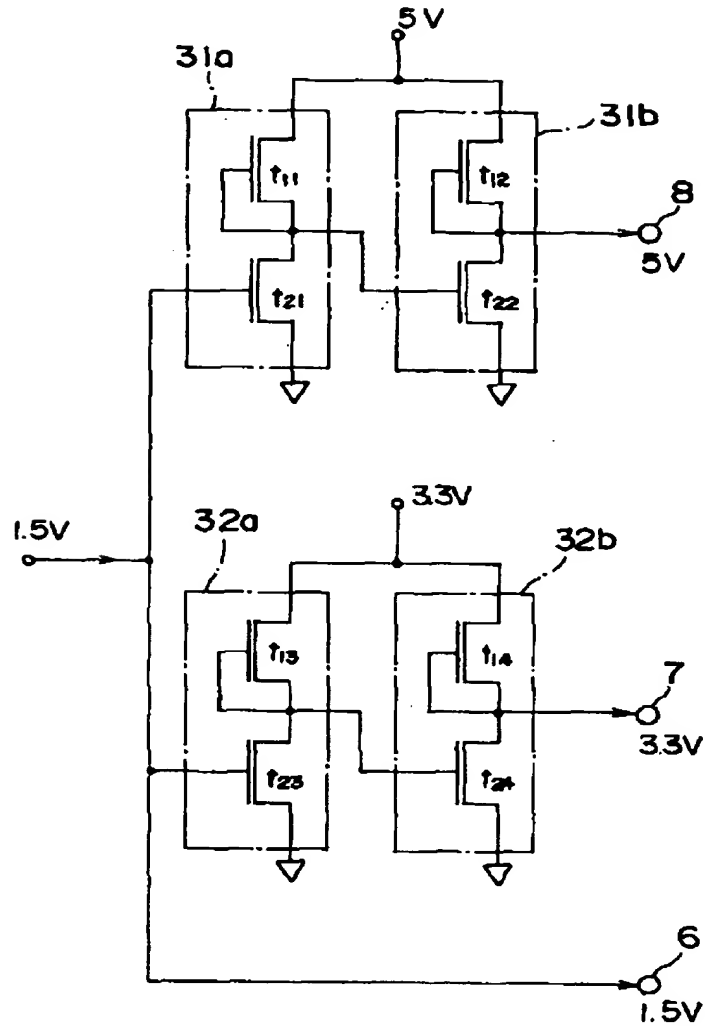
【図2】

本発明の一実施例装置における昇圧回路の一例を示す回路図、平面図



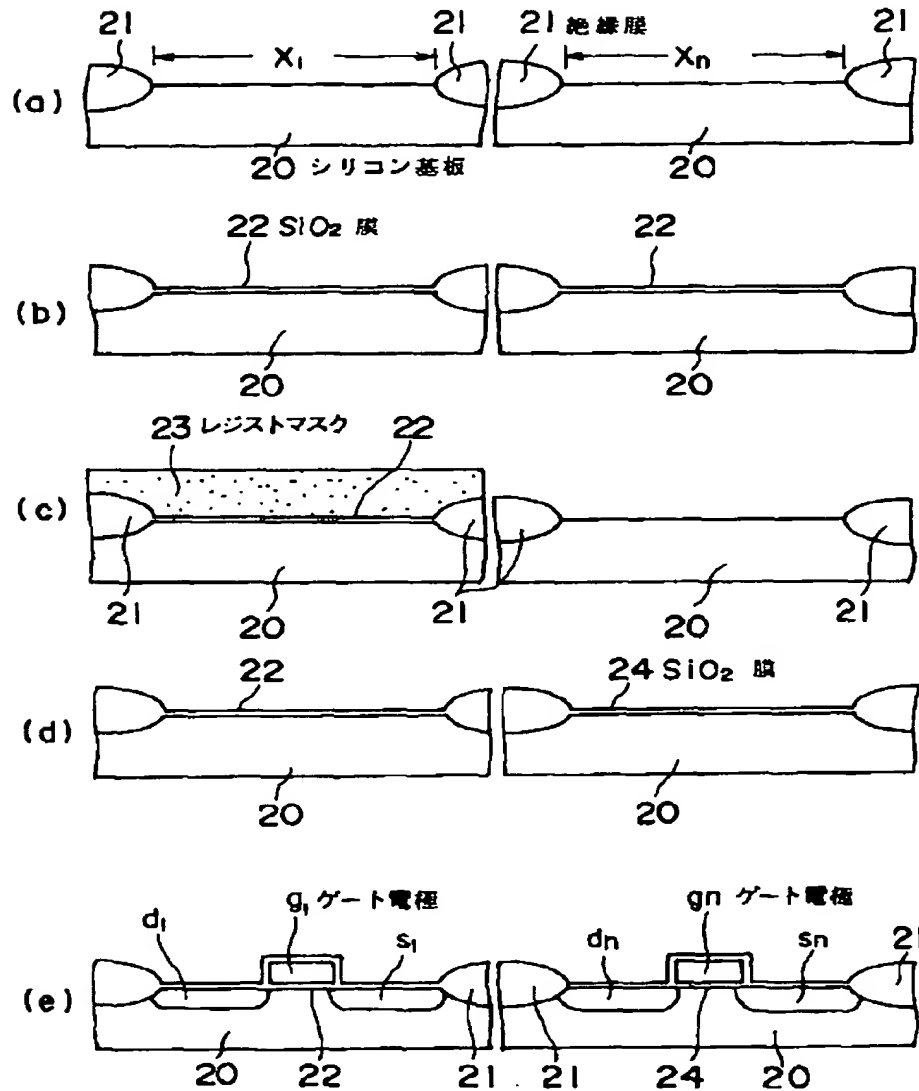
【図3】

本発明の一実施例装置における降圧回路の一例を示す回路図



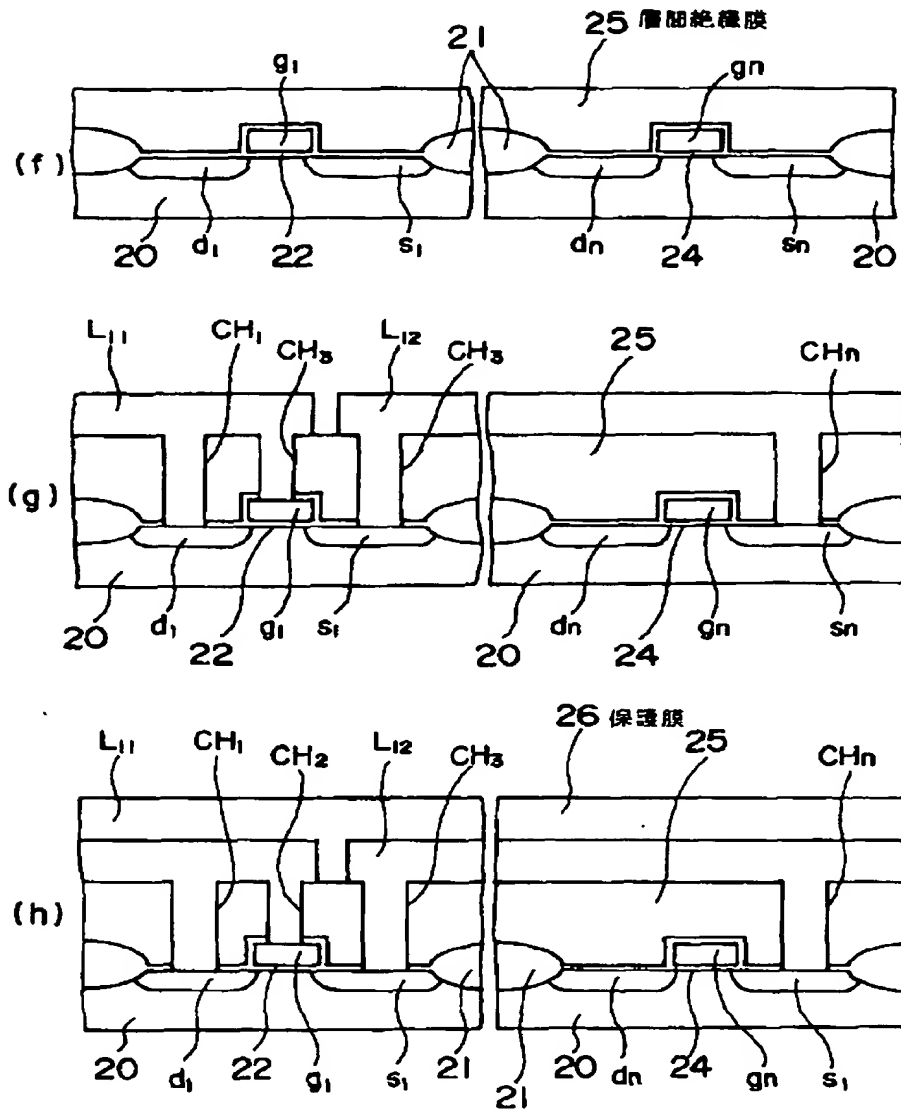
【図4】

本発明の一実施例装置におけるMOSFETの形成工程
を示す断面図（その1）



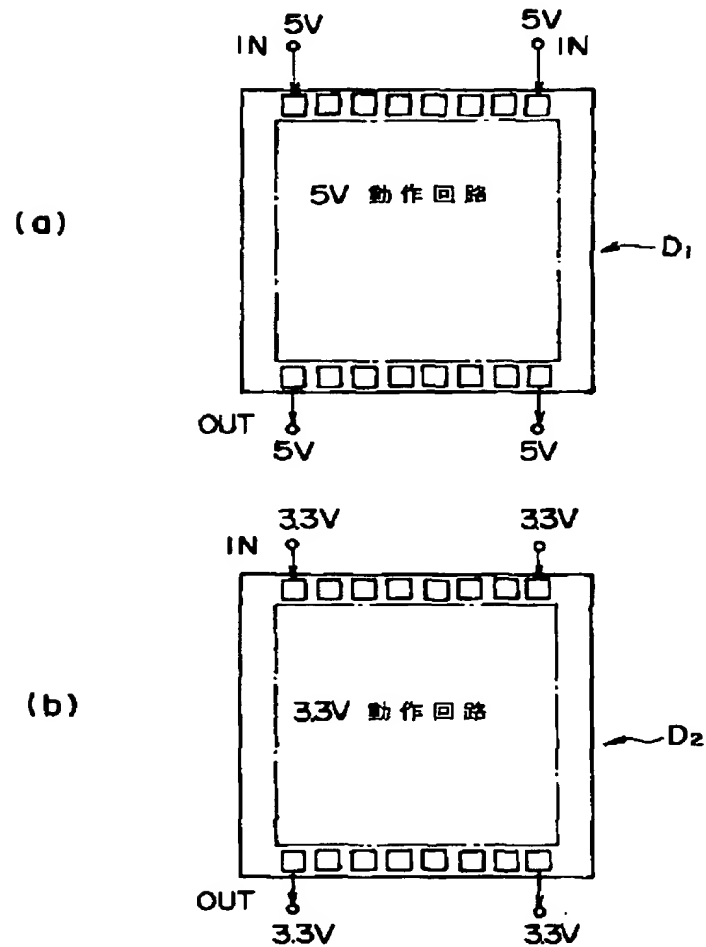
【図5】

本発明の一実施例装置における MOSFET の形成工程
を示す断面図（その 2）



【図6】

従来装置の一例を示す構成図



フロントページの続き

(51) Int. Cl. 5

H 0 1 L 27/04

27/108

H 0 2 M 3/07

識別記号

庁内整理番号

F I

技術表示箇所

G 8427-4M

8726-5H

6628-5L

8728-4M

G 1 1 C 11/34

H 0 1 L 27/10

3 7 1 K

3 2 5 V